

Ein großflächig integriertes, selbstkonfigurierendes Multiprozessorsystem für die Videosignalverarbeitung

Markus Rudack, Michael Redeker, Dieter Treytnar, Ole Mende, Sören Moch
Laboratorium für Informationstechnologie, Universität Hannover, Schneiderberg 32, 30167 Hannover
Tel. 0511/762-5049, Fax 0511/762-5051, E-Mail rudack@lfi.uni-hannover.de

Kurzfassung

Wir stellen eine Konfigurationstechnik für eine großflächig integrierte Schaltung (GIS) vor, die mittels Wafer-Step-Verfahren hergestellt wird. Eine GIS setzt sich aus vier identischen Subsystemen zusammen, die jeweils Basiszellen bzw. Prozessorknoten, Leitungssysteme und Pad-Zellen vollständig enthalten. Um eine korrekte Zusammenarbeit aller Subsysteme sicherzustellen und eine Kommunikation zwischen den Subsystemen zu ermöglichen, wird eine Selbstkonfigurationstechnik implementiert. Dabei werden nicht nur die Subsysteme konfiguriert, sondern auch die einzelnen Teilleitungssysteme, so daß ein globales Bussystem entsteht. Zwei Konfigurationsmethoden werden verwendet: eine statische und eine dynamische. Die Prozessorknoten, die Pad-Zellen und die Eingangssysteme werden statisch konfiguriert. Die Ausgangssysteme und bi-direktionalen Bussysteme benötigen eine dynamische Konfiguration, da sie vom gegenwärtigen Zustand der GIS abhängen (z.B. welches Subsystem z.Z. auf den Bus zugreift).

Der dargestellte Ansatz vergrößert zwar die Siliziumfläche, ermöglicht aber die Herstellung großflächig integrierter, monolithischer Schaltungen im Wafer-Step-Verfahren unter Verwendung nur eines einzigen Maskensatzes. Dabei ist der Aufwand für die Konfiguration des Schaltkreises minimal. Die GIS mit einer Fläche von $16,89 \text{ cm}^2$ wird in einem $0,25 \mu\text{m}$ -Prozeß mit 6 Metallagen gefertigt.

1 Einleitung

Zur Verwirklichung von komplexen Systemen mit hoher Leistungsfähigkeit und großer Zuverlässigkeit sind bereits in der Vergangenheit Schaltkreise vorgestellt worden, die die gesamte Fläche eines Wafers beanspruchen (*wafer scale integration*, WSI). Diese Systeme wurden mittels eines Wafer-Step-Verfahrens hergestellt. Das Gesamtsystem wurde in mehrere Elemente bzw. Bausteine aufgeteilt, deren maximale Ausdehnung durch die Belichtungsfläche der Herstellungsprozeßmasken begrenzt wurde. Das Gesamtsystem wurde zusammengesetzt, indem die Bausteine wiederholt nebeneinander auf dem Wafer abgebildet wurden [1, 2, 3]. Die Verbindung der Bausteine wurde durch eine Überlappung in einer oder in mehreren Metallisierungsebenen bei Herstellung des Wafers erreicht. Die Leitungssysteme solcher Schaltkreise mußten z.T. durch Bear-

beitung einer beträchtlichen Anzahl von Lasertrennern und -verbindern konfiguriert werden [2].

Bei den früheren Ansätzen mußten mindestens zwei verschiedene Bausteine verwendet werden: einer für die Basiszellen (Prozessorknoten) und einer (evtl. sogar mehrere) für die verbindenden Leitungssysteme und für die *bond pads*. Aus Kostengründen konnte jedoch nur ein ein Maskensatz verwendet werden und beide Bausteine mußten auf diesem Maskensatz enthalten sein. Dadurch entstand bei der Fertigung die Schwierigkeit, daß die Masken bei den Belichtungsschritten teilweise abgedeckt werden mußten, um die verschiedenen Bausteine einzeln auf dem Wafer abzubilden. Dieser Eingriff ist in kommerziellen Fertigungslinien nicht immer erlaubt.

Das Ziel unserer Arbeit war, eine großflächig integrierte Schaltung (GIS) zu implementieren, die in einem Standard-Herstellungsverfahren ohne Veränderung des Prozesses und bei minimalem Konfigurationsaufwand zu fertigen ist. Also muß eine GIS funktionsfähig und vollständig konfiguriert sein, ohne daß Laserstrukturen bearbeitet werden müssen – falls kein Defekt auftritt. Außerdem muß die GIS aus einem einzeltem Element bzw. Baustein zusammengesetzt werden können, sodaß ein einzelner Maskensatz ohne teilweise Abdeckung verwendet werden kann. Wir haben eine programmierbare Multiprozessor-Architektur mit verteiltem Speicher für die Videosignalverarbeitung [4] als eine derartige GIS implementiert. Diese *AxPe*-GIS enthält 16 Prozessorknoten (*processing node*, PN) und wird in einem kommerziell zur Verfügung stehendem $0,25 \mu\text{m}$ DRAM-Prozeß mit sechs Metallagen hergestellt. Sie hat eine Gesamtfläche von $16,89 \text{ cm}^2$.

Im folgenden werden wir in Abschnitt 2 zunächst die Systemarchitektur und in Abschnitt 3 den Testansatz und die verwendeten Fehlertoleranzmechanismen des implementierten Schaltkreises erläutern. In Abschnitt 4 werden wir den neuen Ansatz vorstellen, großflächig integrierte Schaltungen mit nur einem Maskensatz zu fertigen. Abschnitt 5 wird eine Technik vorstellen, die die Individualisierung von Prozessorknoten und die Konfiguration von Leitungssystemen erlaubt, ohne daß eine Laserbearbeitung oder die Programmierung individueller Steuerleitungen notwendig sind. Diese Technik läßt sich für Leitungssysteme erweitern, die dynamisch gesteuert werden müssen, z.B. bidirektionale Busse (Abschnitt 6). In Abschnitt 7 werden wir unsere Arbeit schließlich zusammenfassen.

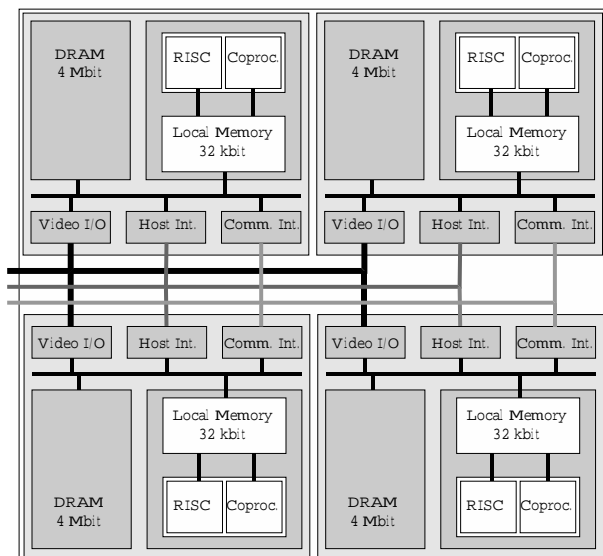


Abbildung 1 Vereinfachtes Blockdiagramm für ein *AxPe*-Multiprozessorssystem mit 4 Prozessorknoten

2 Systemarchitektur

Die *AxPe*-GIS ist die Implementierung einer programmierbaren Multiprozessor-Architektur mit verteiltem Speicher für die Videosignalverarbeitung [4]. Zielanwendung ist die Kodierung von Videosignalen entsprechend ITU-T H.263 [6] oder ISO MPEG-2 [7] für maximal HDTV-Auflösung in Echtzeit. Die Architektur erlaubt es, eine veränderliche Anzahl von Prozessorknoten (*processing node*, PN) einzusetzen, um verschiedene Videokodierungsalgorithmen auf Videodaten unterschiedlicher Bandbreite entsprechend der Auflösung des Videobildes auszuführen.

Das als GIS implementierte System besteht aus 16 Prozessorknoten, von denen jeder wiederum einen Videoprocessorkern vom Typ *AxPe*, 4 MBit Bildspeicher und anwendungsspezifische Schnittstellen enthält. Der *AxPe*-Videoprocessorkern besitzt eine Koprozessorarchitektur, die für hybride Video-Kodierungsverfahren entwickelt wurde [5]. Kontroll- und Videosignale werden den PNs parallel über einen Host-Bus bzw. über einen Videobus zur Verfügung gestellt (vergleiche Abbildung 1).

Dabei bearbeitet jeder PN (nahezu) unabhängig einen anderen Teilbereich des Bildes. Dazu wird er während des Boot-Vorgangs durch einen Satz von Parametern initialisiert, der den aufzunehmenden Bereich der Bilddaten spezifiziert. Die PNs können über eine bi-direktionale Kommunikationsschnittstelle Bilddaten untereinander austauschen. Die Größe des Bildspeichers ist so ausgelegt, daß eine *AxPe*-GIS (insgesamt 64 MBit integrierter Speicher) alle benötigten Bilddaten lokal speichern kann, so daß die Speicherbandbreite nicht durch die Verwendung externer Speicher begrenzt ist.

Vier PNs bilden zusammen mit selbstkonfigurierenden Leitungssystemen und Padzellen, sowie Strukturen zur Prozeßsteuerung (*process control blocks*, PCBs) ein so-

genanntes *AxPe*-Subsystem. Dieses *AxPe*-Subsystem füllt den möglichen *design frame* des verwendeten Herstellungsprozesses vollständig. Eine *AxPe*-GIS mit 16 PNs besteht also aus vier *AxPe*-Subsystemen und hat eine Gesamtfläche von 16,89 cm². Abbildung 2 zeigt den *floorplan* eines Prozessorknotens (PN), eines *AxPe*-Subsystems mit vier PNs und einer *AxPe*-GIS, die 4 *AxPe*-Subsysteme monolithisch integriert.

3 Test und Fehlertoleranz

Bei der Implementierung der *AxPe*-GIS müssen sowohl Ausbeuteverluste durch Fertigungsdefekte als auch intermittierende Fehler, die im eingebetteten DRAM auftreten können, berücksichtigt werden. Ohne den Einsatz von redundanten Schaltungselementen ist es nicht möglich, einen Schaltkreis der angestrebten Komplexität und Größe funktionsfähig zu fertigen. Die verwendeten Testverfahren müssen daher eine Lokalisierung der Fertigungsdefekte erlauben, damit Redundanzen zur Maskierung dieser Defekte eingesetzt werden können.

Defektbehaftete Prozessorknoten werden mittels eines integrierten Selbsttests (*Built-In Self-Test*, BIST) erkannt. Der Selbsttest wird mit Hilfe von BILBO-Registern [8] durchgeführt, die alle herkömmlichen Register ersetzen. BILBO-Register werden sowohl zur Erzeugung von pseudo-zufälligen Testmustern als auch zur Bildung von Testsignaturen verwendet. Die Steuerung des Selbsttests erfolgt durch einen fehlertoleranten Selbsttest-Kontroller, der außerdem die Auswertung der Signaturen lokal vornimmt. Das eingebettete DRAM wird ebenfalls mit einem integrierten Selbsttest geprüft.

Erkannte Defekte können maskiert werden, indem der betroffene Prozessorknoten abgeschaltet und vom System getrennt wird. Die Abschaltung eines PNs erfolgt durch Programmierung eines Laserschalters oder durch die Programmierung eines Konfigurationsregisters beim Booten. Die Eingänge von abgeschalteten PNs werden auf einen festen logischen Pegel gesetzt, die Ausgänge in einen hochohmigen Zustand gebracht. Da die Spannungsversorgungen für die Prozessorknoten eines Subsystems separat ausgeführt sind, können einzelne Prozessorknoten, z.B. durch Bearbeiten von Lasertrennern, von der Spannungsversorgung getrennt werden. Dadurch kann die Leistungsaufnahme defekter Prozessorknoten minimiert werden. Durch diese Maßnahmen bleibt die Funktionsfähigkeit der *AxPe*-GIS erhalten, eine Einbuße bei der Leistungsfähigkeit muß jedoch in Kauf genommen werden.

Defekte, die die Bussysteme betreffen, werden mittels eines fehlertoleranten *Scan*-Pfades lokalisiert, vergleichbar mit dem EXTEST-Modus des *boundary scan*-Standards. Leitungsabschnitte, die von Defekten betroffen sind, können entsprechend [9] mit Laser-Trennern herausgetrennt und durch redundante Leitungen ersetzt werden. Die benötigten Felder von Laser-Schaltern sind in Abbildung 2 durch weiße Rechtecke angedeutet. Defekte in Lei-

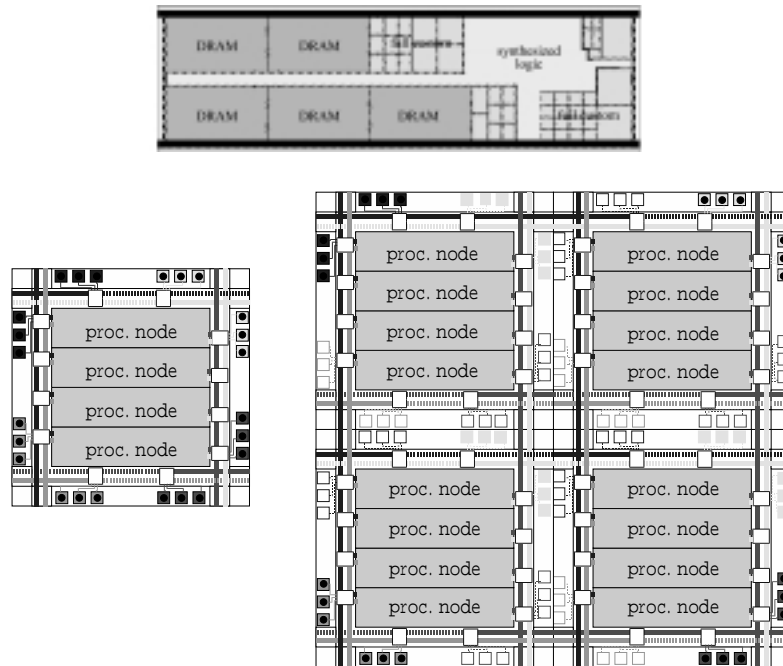


Abbildung 2 Floorplan von Prozessorknoten (PN) (oben), *AxPe*-Subsystem (unten links) und *AxPe*-GIS (unten rechts)

tungssystemen und in Prozessorknoten beeinflussen nicht die Selbstkonfiguration der Busse, allerdings müssen die Bildbereiche durch modifizierte Parametersätze – entsprechend der abgeschalteten Prozessorknoten – anders verteilt werden.

Um intermittierende Fehler im eingebetteten DRAM zu maskieren, wurde ein (39, 32) SEC-DED Hamming-Code implementiert. Die physikalisch vorhandene Speichergröße beträgt deswegen 5 MBit pro Prozessorknoten, und ergibt eine Vergrößerung der DRAM-Fläche um 37 % gegenüber einer Implementierung ohne fehlerkorrigierenden Code. In [10] wurde jedoch gezeigt, daß sich der Flächenzuwachs aufgrund einer Maskierung von Fertigungsdefekten durch den fehlerkorrigierenden Code nicht negativ auf die Ausbeute der *AxPe*-GIS auswirkt.

4 Implementierung der *AxPe*-GIS

Die *AxPe*-GIS wird durch ein Wafer-Step-Verfahren hergestellt, bei dem benachbarte *AxPe*-Subsysteme verbunden werden, indem die Maske für die Metallage 6 mit geringer Überlappung abgebildet wird. Dadurch wird ein Wafer gefertigt, der mit vollständig verbundenen *AxPe*-Subsystemen gefüllt ist. Eine GIS mit der gewählten Anzahl von parallelen Prozessoren erhält man ausschließlich durch geeignetes Sägen des Wafers. Also kann eine beliebige Anzahl von *AxPe*-Subsystemen eine funktionsfähige GIS bilden - ohne Änderungen im Herstellungsverfahren oder am Maskensatz. Dadurch kann die Skalierbarkeit der Architektur besonders kostengünstig genutzt werden. Neben der Realisierung der *AxPe*-GIS mit 16 PNs und einer Gesamtfläche von 16,89 cm² (2x2 *AxPe*-Subsysteme) ist

geplant, ein einzelnes *AxPe*-Subsystem (d.h. 4 PNs) in einem Standardgehäuse zu montieren und für Videokodierung bei niedriger Auflösung einzusetzen.

Im Gegensatz zu früheren GISen, in denen *bond pads* als ein gesonderter Baustein realisiert wurden, der erst durch das Wafer-Step-Verfahren mit den Basiszellen verbunden wurde, müssen wir die *bond pads* auf dem *AxPe*-Subsystem integrieren, um die Randbedingung „ein einziges Grundelement“ einzuhalten (und um die Nutzung eines einzelnen *AxPe*-Subsystems zu ermöglichen). Die Folge ist, daß bei einer *AxPe*-GIS mit 16 Prozessorknoten, d.h. vier *AxPe*-Subsystemen, jeder Schaltungsteil, einschließlich der Peripherie und der *bond pads*, vierfach vorhanden ist (siehe Abbildung 2). Layout und Platzierung jedes von vier entsprechenden Schaltungsteile sind innerhalb der *AxPe*-Subsysteme identisch.

Damit entstehen auf einer GIS Strukturen, die nicht verwendet werden, und deaktiviert werden müssen. Auf der GIS wird beispielsweise nur eines von vier *bond pads* für jedes Eingangs- oder Ausgangssignal gebondet, angedeutet durch Punkte auf den grauen Quadraten, die gebondete *bond pads* in Abbildung 2 darstellen. Dagegen werden auf einem gepackten einzelnen *AxPe*-Subsystem alle *bond pads* gebondet. Eine Aufgabe der Konfigurationsschaltkreise ist es, die Gruppe von tatsächlich gebondeten *bond pads* auszuwählen und die anderen drei zu deaktivieren (siehe Abschnitt 5).

Bei der der Implementierung der *AxPe*-GIS muß die Spannungsversorgung besonders beachtet werden, da bei einer *AxPe*-GIS gegenüber einem *AxPe*-Subsystem jede zweite Versorgungs-Padzelle nicht gebondet werden kann, weil sie nicht an einer äußeren Kante der *AxPe*-GIS liegt und damit nicht erreichbar ist. Außerdem ist eine getrennt-

te Spannungsversorgung der einzelnen PNs eines *AxPe*-Subsystems vorgesehen (siehe Abschnitt 3). Die erwartete Leistungsaufnahme eines PN beträgt maximal 1,1 W bei 166 MHz. Aufgrund der obengenannten Randbedingungen muß diese Leistung jedoch über nur eine der beiden vertikalen Kanten, d.h. eine der Stirnseiten, eines PN zugeführt werden, während die gegenüberliegende Seite ungenutzt bleibt. Zwei entsprechend dimensionierte horizontale Stromschienen pro PN werden daher verwendet, um den Spannungsabfall von der einen zur gegenüberliegenden Kante eines PN auf weniger als 0,2 V zu begrenzen. Diese Stromschienen werden im Floorplan des PN (Abbildung 2, oben) durch schwarze Balken symbolisiert.

Ein weiterer wichtiger Aspekt für die Implementierung sind die Leitungssysteme, die über mehrere Subsysteme hinweg alle PNs verbinden. Der Kontakt von Subsystem zu Subsystem wird grundsätzlich durch eine Überlappung in Metallebene 6 bei der Waferherstellung ermöglicht. Die Leitungssysteme müssen daher bis an den Rand eines Subsystems geführt werden. Dazu müssen sie zum einen den *seal ring* kreuzen, der aus diesem Grund modifiziert werden muß. Zum anderen beschränken nicht veränderbare *process control blocks* in der Peripherie eines Subsystems, die aus Gründen der Kompatibilität zum Herstellungsprozess erforderlich sind, die Platzierungsmöglichkeiten von Leitungssystemen zum Übergang auf benachbarte Subsysteme. Die in Abbildung 2 dargestellte gitterförmige Struktur der Leitungssysteme ist eine Lösung, die zugleich eine möglichst einfache Realisierung einer Bustopologie ermöglicht.

Ein weiteres Problem ist die Gewährleistung der Signalintegrität auf den ausgedehnten Leitungssystemen. Deren maximale Länge beträgt auf der *AxPe*-GIS von *bond pads* an der linken oberen Kante bis zu einem Prozessorknoten rechts unten etwa 6 cm. Die parallelen Leitungssysteme wurden als RLC-Modell mit einem Analogsimulator simuliert, die erforderlichen Leitungsparameter mit einem proprietären Werkzeug extrahiert. Diese Methode wurde meßtechnisch verifiziert [11]. Das Ergebnis der Simulationen ist, daß zur Gewährleistung der Signalintegrität und zur Minimierung der Signallaufzeiten auf den Leitungssystemen im Abstand von 2 cm Leitungsverstärker erforderlich sind.

Insgesamt verursacht unser „Ein Einziges Grundelement“-Ansatz eine Vergrößerung der Siliziumfläche des Systems um ca. 12,5 % gegenüber einem WSI-System, das aus verschiedenen spezialisierten Elementen zusammengesetzt ist. Wir gewinnen jedoch eine deutliche Vereinfachung des Wafer-Step-Verfahrens für WSI-Systeme und die Flexibilität, Schaltkreise mit beliebiger Anzahl von Prozessorknoten mit demselben Maskensatz zu fertigen.

5 Statische Konfigurationstechniken

Das Zusammensetzen einer *AxPe*-GIS aus einem einzelnen Baustein führt insbesondere dazu, daß *bond pads* für

jedes einzelne Signal vierfach vorhanden sind. Nur eines dieser *bond pads* wird gebondet, während die übrigen den Schaltkreis nicht beeinflussen dürfen und ihre Leistungsaufnahme minimiert werden muß. Außerdem muß durch Konfiguration aus dem durch Überlappung in Metallebene 6 entstandene Gitternetz der Leitungssysteme eine Bustopologie hergestellt werden, die alle PNs miteinander verbindet. Dies wird in Abbildung 2 dadurch angedeutet, daß die Leitungssysteme z.T. mit durchgezogenen Linien dargestellt sind (verwendete Busstruktur) und z.T. gestrichelt dargestellt sind (nicht verwendete Leitungsabschnitte). Weiterhin wird durch die Bustopologie auf alle Prozessorknoten, die vom Layout her nicht unterscheidbar sind, eingangsseitig parallel zugegriffen. Dennoch müssen sie für die Programmierung bzw. beim Booten separat angesprochen werden können. Diese Anforderungen werden durch eine einfache Selbstkonfigurationslogik erfüllt, so daß Lasertrenner und -verbinder nur noch zur Reparatur von Fertigungsdefekten zum Einsatz kommen müssen.

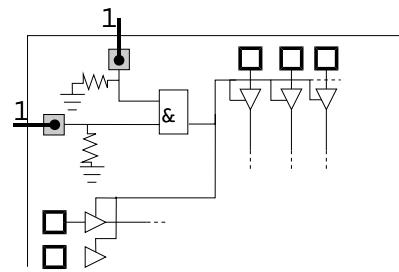


Abbildung 3 Automatische Auswahl von *bond pads*

Die in Abbildung 3 dargestellte Schaltung ermöglicht die Selektion der gebondeten *pad cells*, dargestellt für eine Gruppe von *pad cells*, die über die obere und die linke Kante eines *AxPe*-Subsystems verteilt sind. Auf einer *AxPe*-GIS werden die an einer äußeren Kante liegenden Konfigurations-Pads gebondet und statisch auf den Spannungspegel *VDD* getrieben, während innenliegende *pad cells* nicht gebondet werden und über einen *pull-down*-Widerstand den Spannungspegel *GND* annehmen.

Damit lassen sich außenliegende und innenliegende Kanten eines *AxPe*-Subsystems eindeutig unterscheiden und damit auch zu verwendende und abzuschaltende *pad cells*, vorausgesetzt an jeder Kante eines *AxPe*-Subsystems befindet sich ein Konfigurations-Pad. Dieselbe Schaltung dient ebenfalls zur Deaktivierung nicht verwendeter Leitungsabschnitte.

Die Individualisierung der einzelnen Prozessorknoten für die Programmierung bzw. für den Bootvorgang erfolgt ebenfalls mit Hilfe der Konfigurations-Pads. Die Ausgangspegel jedes Konfigurations-Pads werden in einem Konfigurationsregister gespeichert. Ergänzt durch zwei weitere Bits, die – festverdrahtet – die Prozessorknoten eines *AxPe*-Subsystems unterscheiden, erhält man eine eindeutige Numerierung aller Prozessorknoten einer *AxPe*-GIS. Jedes Programmcode-Wort wird durch einen

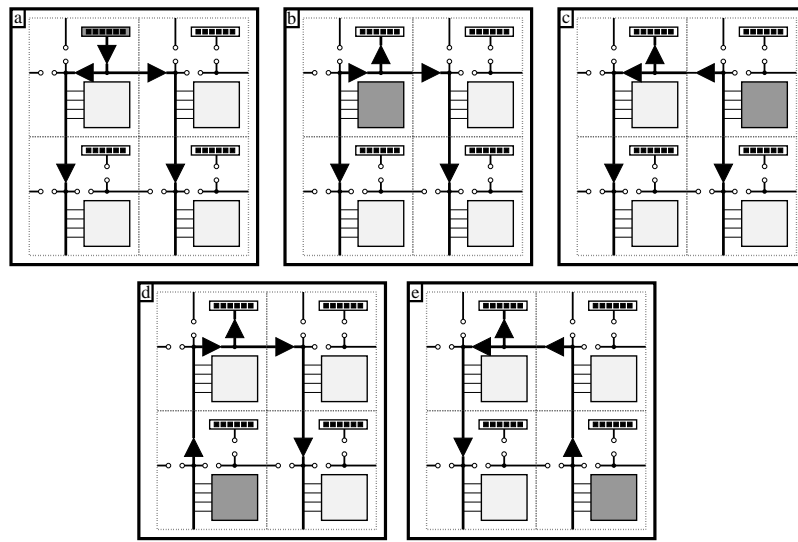


Abbildung 4 Signalfluß eines bi-direktionalen Bussystems: Host-Prozessor als Quelle (a) und die verschiedene *AxPe*-Subsysteme als Quelle ((b) bis (e))

Empfänger-Code ergänzt, so daß durch Vergleich mit der gespeicherten Konfigurationsnummer auf jeden Prozessorknoten separat zugegriffen werden kann.

6 Dynamische Konfigurationstechniken

Um eine einfache Selbstkonfigurationstechnik auf der GIS zu ermöglichen, mußten komplex geschaltete Leitungnetzwerke vermieden werden. Daher haben wir die Bus-

systeme in einfache uni-direktionale Eingangs- und Ausgangsbusse aufgeteilt (und räumlich zusammengefaßt). Eine Ausnahme ist nur der bi-direktionale 16 Bit Bus für die Inter-Prozessorkommunikation.

Um Signalintegrität auf den bis zu 6 cm langen Leitungen zu gewährleisten, müssen bi-direktionale Leitungsverstärker eingesetzt werden. Diese müssen wiederum gesteuert werden, um durch Aktivierung/Deaktivierung (statische Konfiguration) sowie durch Richtungswechsel bestimmte Signalpfade auf der GIS zu bilden. Eingangs- und Ausgangsbussysteme können als Teilmenge der bi-direktionalen Busse betrachtet werden. Daher beschränken wir uns auf die Beschreibung letzterer.

Von der Topologie her betrachtet müssen auf dem bi-direktionalen Leitungssystem fünf unterschiedliche Signalpfade zur Verfügung gestellt werden können, die in Abbildung 4 dargestellt sind: ein externer Host-Schaltkreis sendet Daten und alle Prozessorknoten empfangen (Fall a), oder ein PN auf einem der *AxPe*-Subsysteme sendet und alle anderen (und der externe Host) empfangen (Fälle b bis e).

Diese fünf verschiedenen Fälle können auf das in Abbildung 5 schematisch dargestellte Leitungssystem einer *AxPe*-GIS mit bi-direktionalen Leitungsverstärkern abgebildet werden. Die Leitungsverstärker werden in der Nähe der Kreuzungen von vertikalen und horizontalen Leitungsabschnitten plaziert. Zur Steuerung der Verstärker wird der aktuelle Zustand des Systems, d.h. welcher Prozessorknoten sendet, mit der statischen Konfigurationsinformation dynamisch verknüpft.

Die in Abbildung 5 weiß dargestellten Leitungsverstärker werden durch die statische Konfiguration permanent deaktiviert, d.h. in einen hochohmigen Zustand gebracht. Die grau unterlegten Leitungsverstärker sind aktiv. Ihre Richtung wird dynamisch durch den Zustand des Systems bestimmt. Durch die dargestellte Verteilung und Steue-

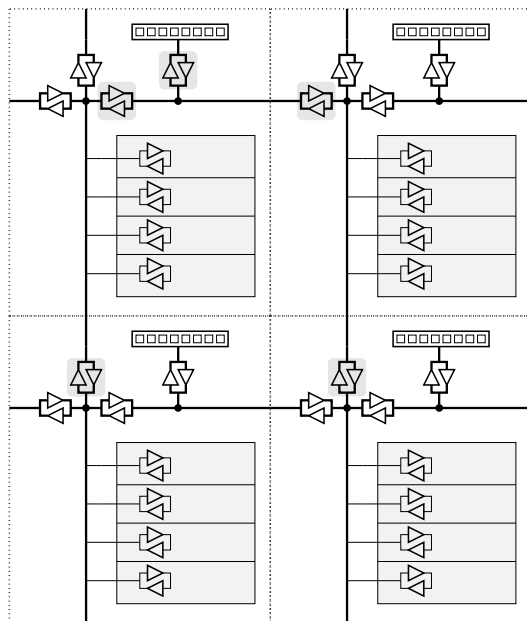


Abbildung 5 Schematische Darstellung des bi-direktionalen Busses einer *AxPe*-GIS mit bi-direktionalen Signalverstärkern

rung der Leitungsverstärker können sowohl die Randbedingungen bezüglich der notwendigen Signalpfade als auch bezüglich der Signalintegrität erfüllt werden (vergleiche Abschnitt 4).

7 Zusammenfassung

In dieser Arbeit haben wir eine großflächig integrierte Schaltung mit einer Fläche von 16,89 cm² vorgestellt, die mittels Wafer-Step-Verfahren unter Verwendung eines einzelnen Grundbausteins hergestellt wird. Dieser Grundbaustein wurde als vollständiger Schaltkreis mit allen *bond pads* und für die Fertigung nötigen peripheren Strukturen entworfen. Trotz des gegenüber anderen WSI-Verfahren erhöhten Flächenbedarfs ist diese Technik vorteilhaft, da die Herstellung der GIS in einem Standardprozess möglich ist. Insbesondere ist weder die Bearbeitung von Lasertrennern oder -verbindern noch das teilweise Abdecken der Belichtungsmasken erforderlich. Wir haben eine spezielle Topologie für die globalen Bussysteme und die Prozessor-knoten und einfache Selbstkonfigurationsschaltkreise entwickelt. Diese Schaltkreise berücksichtigen das dynamische Schalten von Leitungsverstärkern in bi-direktionalen Ein-/Ausgabe-Bussystemen. Obwohl unser Wafer-Step-Ansatz und die Selbstkonfigurierung für die *AxPe*-GIS entwickelt wurden, sind sie allgemein auf vergleichbare WSI-Systeme anwendbar.

Danksagung

Diese Arbeit wird von der FhG unterstützt (Vertragsnummer T/F41B/T0183/P1307).

Literatur

- [1] J. Otterstedt, M. Kuboschek, J. Castagne, J. Mucha: „A 16.6 cm² Large Area Integrated Circuit Consisting of 9 Video Signal-Processors“, Proc. Intl. Conf. on Innovative Systems in Silicon, S. 113–123, 1996.
- [2] P. W. Wyatt, J. I. Raffel, G. H. Chapman, B. Mathur, J. A. Burns, T. O. Herndon: „Process Considerations in Restructurable VLSI for Wafer-Scale Integration“, Proc. Intl. Electron Devices Meeting, S. 626–629, 1984.
- [3] G. Chapman, Y. Audet: „Creating 35mm Camera Active Pixel Sensors“, Proc. Intl. Symp. on Defect and Fault Tolerance in VLSI Systems, S. 22–30, 1999.
- [4] K. Herrmann, S. Moch, J. Hilgenstock, P. Pirsch: „Implementation of a Multiprocessor System with Distributed Embedded DRAM on a Large Area Integrated Circuit“, Intl. Symp. on Defect and Fault Tolerance in VLSI Systems, Oktober 2000.
- [5] J. Hilgenstock, K. Herrmann, J. Otterstedt, D. Niggemeyer, P. Pirsch: „A Video Signal Processor for MIMD Multiprocessing“, Design Automation Conference (DAC), S. 50–55, 1998.
- [6] ITU-T Recommendation Draft H.263 „Video Coding for Low Bit Rate Communication“, Intl. Telecommunication Union, Mai 1996.
- [7] ISO/IEC JTC1/SC29/WG11 CD 13818–2, 1994.
- [8] B. Könemann, J. Mucha, G. Zwiehoff: „Built-In Test for Complex Digital Integrated Circuits“, IEEE J. Solid-State Circuits, Bd. 15, Nr. 3, S. 315–318, 1980.
- [9] H.-U. Schröder, J. Otterstedt, T. Hillmann-Ruge: „Yield Enhancement of a 16.6 cm² Monolithic Large-Area Integrated Multiprocessor System Using Laser Reconfiguration“, IEEE Trans. Comp., Packag., Manufact. Tech. - Part C, Bd. 19, Nr. 2, April 1996.
- [10] M. Rudack, D. Niggemeyer: „Yield Enhancement Considerations for a Single-Chip Multiprocessor System with Embedded DRAM“, Proc. Intl. Symp. on Defect and Fault Tolerance in VLSI Systems, S. 31–39, 1999.
- [11] U. Arz, D. F. Williams, D. K. Walker, J. E. Rogers, M. Rudack, D. Treytnar, H. Grabinski: „Characterization of Asymmetric Coupled CMOS Lines“, IEEE MTT-S Intl. Microwave Symposium Digest, S. 609–612, 2000.